

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075121

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-237503

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 18.09.1991

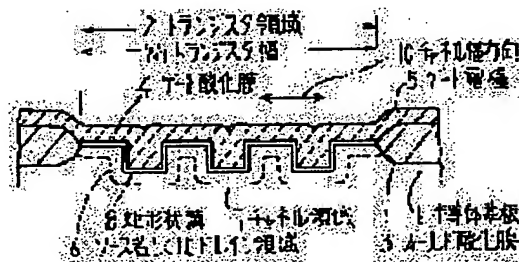
(72)Inventor : SEKIDO YUJI
TAKARAMOTO TOSHIHARU

(54) SEMICONDUCTOR DEVICE

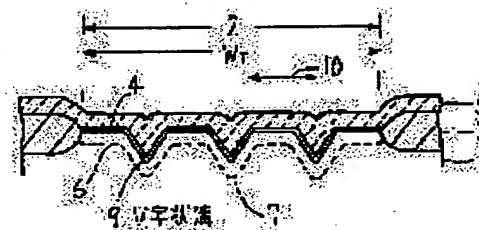
(57)Abstract

PURPOSE: To provide a structure for increasing a driving capacity without increasing a transistor region in the structure of a semiconductor device and particularly of a channel region of a MOS transistor.

CONSTITUTION: The semiconductor device comprises a semiconductor substrate 1, a source region 6 and a drain region formed through a channel region 7 on the substrate 1, and a gate electrode 5 formed through a gate insulating film 4 on the region 7. The upper surface of the region 7 has a rectangular waveform shape or a triangular waveform shape along a channel lateral direction 10 having recesses and protrusions extended alternately in a channel longitudinal direction. The electrode 5 extended in the channel lateral direction 10 along the surface of the region 7 having a waveform shape in the bottom is arranged on the region 7 through the film 4 having a uniform thickness.



(a) 本発明、半導体構造



(b) 本発明に係る他の構造

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semi-conductor substrate, the source field formed in this semi-conductor substrate side by separating a channel field, and a drain field, And it has the gate electrode prepared through gate dielectric film on this channel field. It has the wave configuration where the top face of this channel field met in the channel width direction which has by turns the crevice which extends in the direction of channel length, and heights. The semiconductor device characterized by arranging the gate electrode which a base accompanies the channel field side of this wave configuration, and extends in the channel width direction through the gate dielectric film of uniform thickness on the channel field of this wave configuration.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure of a semiconductor device, especially the structure of the channel field of an MOS transistor.

[0002] Recently, the MOS transistor which constitutes this has been sharply reduced with high integration of an MOS mold semiconductor integrated circuit. On the other hand, improvement in the drive capacity of an MOS transistor is desired with multi-functionalization of a semiconductor integrated circuit. Then, the need for the large MOS transistor of drive capacity is increasing small [component area].

[0003]

[Description of the Prior Art] Drawing 6 is the mimetic diagram of the conventional MOS transistor, and is (a). A top view and (b) An A-A view sectional view and (c) It is a B-B view sectional view.

[0004] In drawing a silicon (Si) substrate and 52 51 A transistor field, 53 gate oxide and 55 for field oxide and 54 A gate electrode, 56S A source field and 56D For a drain field and 57, a channel field and 61 are an interlayer insulation film, 62S, and 62D. A contact aperture and 63S are source wiring and 63D. Drain wiring and

WT Transistor width of face and WC Effective channel width and LG Gate length is shown.

[0005] As shown in this drawing, in the 57th page of a channel field, the conventional MOS transistor has a plane, and the gate electrode 55 was also formed in the shape of a straight line. Therefore, a transistor is reduced by high integration as mentioned above, and it is transistor width of face. When WT (effective channel width WC) is reduced, the drive current of a transistor decreases and it becomes difficult to drive the low external load of resistance.

[0006] Then, in order to heighten the drive capacity of an MOS transistor conventionally, as shown in the ** type top view of drawing 7 (a) Channel width expansion structure (it becomes effective channel width $WC = WC1 + WC2$), (b) Gate crookedness structure (effective channel width WC ** $WC1 + WC2 + WC3 + WC4$ is approached), (c) Juxtaposition gate structure (the field inserted into Gate G is made into the source field S, both the outsides field of Gate G is made into the drain field D, and effective channel width becomes $WC = WC1 \times 2$) etc. was used.

[0007]

[Problem(s) to be Solved by the Invention] However, (a) At channel width expansion structure, it is channel width. WC Width of face of the transistor field of a direction WT1 becomes large. (b) It sets

in gate crookedness structure and he is gate length. LG Width of face of the transistor field of a direction WT2 becomes large. moreover, (c) juxtaposition gate structure -- also setting -- gate length LG Width of face of the transistor field of a direction WT2 -- large -- becoming -- the above -- also when which structure was used, the transistor field was expanded, and there was a problem that improvement in a degree of integration was barred.

[0008] Then, this invention aims at offering the structure of the MOS transistor which can aim at increase of drive capacity, without being accompanied by expansion of a transistor field.

[0009]

[Means for Solving the Problem] The source field and drain field which were formed by solution of the above-mentioned technical problem separating a channel field from a semi-conductor substrate to this semi-conductor substrate side, And it has the gate electrode prepared through gate dielectric film on this channel field. It has wave configurations, such as the shape of the square wave configuration where the top face of this channel field met in the channel width direction which has by turns the crevice which extends in the direction of channel length, and heights, or a triangular waveform. It is attained by the semiconductor device by this

invention by which the gate electrode which a base accompanies the channel field side of this wave configuration, and extends in the channel width direction through the gate dielectric film of uniform thickness is arranged on the channel field of this wave configuration.

[0010]

[Function] Drawing 1 is an important section sectional view for principle explanation of this invention, and, for a rectangle-like slot and 9, a V character-like slot and 10 are [the inside of drawing, and 1 / a semi-conductor substrate, the source with which as for field oxide and 4 gate oxide and 5 have in a gate electrode, and 6 has / 2 / a transistor field and 3 in the inner part of the cross section concerned or a drain field, and 7 / a channel field and 8] the channel width direction (the gate electrode extension direction) and WT. Transistor width of face is shown.

[0011] One structure of the MOS transistor concerning this invention (a) It sets. Two or more rectangle-like slots 8 which intersect perpendicularly in the channel width direction 10 (the extension direction of the gate electrode 5) are established in the channel field 7 of the gate electrode 5 lower part. The channel field 7 is formed in the square wave shaped surface which met in the channel width direction 10. The gate oxide 4 of uniform thickness is formed in the 7th page of the channel field which has this

square wave configuration, and extension arrangement of the gate electrode 5 with which a base accompanies through said gate oxide 4 in the 7th page of the channel field of a square wave configuration on this channel field 7 is carried out along the channel width direction 10.

[0012] It sets in this structure and is the same transistor width of face. WT It sets to the MOS transistor which it has, and is effective channel width. WC ' is the channel width of structure conventionally in which a channel field has a plane and a gate electrode is arranged in the shape of a straight line. WC It compares, and as shown in one formula, it increases.

[0013]

$WC' = WC + 2D_1 \times n \dots (1)$ D1 The rectangle-like depth of flute and n will be effective channel width, if the number of a rectangle-like slot and the width of face of the rectangle-like slot 8, and the depth of the rectangle-like slot 8 are taken equally. WC ' is the effective channel width of structure conventionally. WC It doubles [about].

[0014] Moreover, it sets in other structures of the MOS transistor concerning this invention. Two or more V character-like slots 9 which intersect perpendicularly in the extension direction of the gate electrode 5 are established in the channel field 7. The channel field 7 is formed in the triangular waveform-like side which met in the

channel width direction 10. The gate oxide 4 of uniform thickness is formed in the 7th page of the channel field which has the shape of this triangular waveform, and extension arrangement of the gate electrode 5 with which a base accompanies the 7th page of the channel field which has the shape of a triangular waveform is carried out along the channel width direction 10 through said gate oxide 4 on this channel field 7.

[0015] It sets in this structure and is effective channel width. WC " is the effective channel width of structure conventionally [said]. WC It compares, and as shown in two formulas, it increases.

WC -- " -- = -- WC -- + -- x (2B-A) -- n --
 (-- two --) -- A -- V -- a character -- ** -- a
 slot -- width of face -- B -- V -- a character
 -- ** -- a slot -- one -- a side -- die length --
 and -- this -- an approach -- **** -- the
 former -- efficiency -- channel width -- --
 WC -- 1.5 -- twice -- more than --
 efficiency -- channel width -- -- WC -- " --
 easy -- it can obtain .

[0016] Therefore, according to this invention, expansion of large effective channel width can be aimed at, without expanding transistor width of face to neither the channel width direction nor the direction of channel length.

[0017]

[Example] Below, this invention is concretely explained according to the manufacture approach. The production

process top view which drawing 2 requires for one example of this invention, the production process A-A view sectional view which drawing 3 similarly applies to one example, the production process B-B view sectional view which drawing 4 similarly applies to one example, and drawing 5 are the production process sectional views concerning other examples of this invention. The same agreement shows the same object through a complete diagram.

[0018] Drawing 2 (a) Drawing 3 (a) Drawing 4 (a) It faces forming the high drive capacity MOS transistor which has a square wave configuration channel field side concerning reference this invention. After forming the field oxide 13 which demarcates the transistor field 12 by the well-known approach on the p mold Si substrate 11, with for example, a photolithography means to use an anisotropy dry etching technique for a well-known etching means Die length which expected alignment allowances at gate length (channel length) to the sense which intersects perpendicularly with the field in which the gate electrode of said transistor field 12 is arranged in the extension direction of a gate electrode L1 It has. In and the channel width direction W1 The depth which has width of face D1 It is a flute width about two or more rectangle-like slots 18. W1 It is equal. P1 It forms at spacing. Here, a gate electrode arrangement side turns into a square

wave shaped surface which met in the gate electrode extension direction (the channel width direction).

[0019] Drawing 2 (b) Drawing 3 (b) Drawing 4 (b) Subsequently gate oxide 14 is formed by thermal oxidation 3 ** on the transistor field 12 which usually passes and includes the inside of said rectangle-like slot 18. Subsequently, n+ which has predetermined width of face (gate length LG1) in accordance with the train of the rectangle-like slot 18 on the square wave shaped surface in which it usually passes and said two or more rectangle-like slots 18 are formed through the process of vapor growth and patterning The mold Pori Si gate electrode 15 is formed. Here, the base of the gate electrode 15 is accompanied and formed in a square wave shaped surface through gate oxide 14 like illustration.

[0020] Drawing 2 (c) Drawing 3 (c) Drawing 4 (c) Subsequently to a mask, the above-mentioned gate electrode 15 is carried out 3 **. In the transistor field 12 The ion implantation of the arsenic (As) is carried out with a slanting impregnation means, rotating a substrate, the transistor field side which includes said square wave-like side to this transistor field 12 is met, and it is n+ of the predetermined depth. Mold source field 16S And n+ Mold drain field 16D It forms. Here, the lower part of the gate electrode 15 becomes the channel field 17 which has a square wave shaped surface.

[0021] Drawing 2 (d) Drawing 3 (d) Drawing 4 (d) After reference, usually pass and an interlayer insulation film 21 is formed on the above-mentioned substrate. It is source field 16S to this interlayer insulation film 21. Contact aperture 22S to express Drain field 16D Contact aperture 22D to express It forms. Source wiring 23S and drain wiring 23D which consist of aluminum etc. on each contact aperture It forms and the high drive capacity MOS transistor in which the top face concerning this invention has the channel field 17 of a square wave configuration is completed.

[0022] in addition, in the configuration which has the above-mentioned square wave configuration channel field, the width of face, the depth, and spacing of a rectangle-like slot are formed in about 1 micrometer -- having -- the depth of the source and a drain field -- for example, -- It is formed in about 0.3 micrometers. Therefore, in the MOS transistor which has this structure, the channel width in one pitch which consists of a rectangle-like slot and its spacing section doubles [about] compared with the former, and the drive capacity to be twice [about] many as the MOS transistor conventional, in the same monopoly area is acquired.

[0023] Drawing 5 (a) It faces forming the high drive capacity MOS transistor which has reference and a triangular waveform-like channel field side

concerning this invention. after forming the field oxide 13 which has the 100th page and which demarcates the transistor field 12 by the well-known approach, for example on the p mold Si substrate 11, according to the usual photograph process To the field corresponding to the arrangement field of said rectangle-like slot, for example, the die length corresponding to said rectangle slot (L1), Width of face W1, spacing P1 The resist film 25 which has two or more puncturing 24 is formed. This resist film 25 is used as a mask, and it is a potassium hydroxide (KOH). Wet etching of the anisotropy by the solution is performed. It intersects perpendicularly with the field corresponding to said rectangle-like slot formation field in the channel width direction. For example, the same die length L1 (not shown) as said rectangle-like slot and width of face W1 The predetermined depth which has and is determined at an etching include angle D2 It is the same spacing as said rectangle-like slot about two or more V character-like slots 19 which it has. P1 It forms. Here, a gate electrode arrangement side turns into a triangular waveform-like side which met in the gate electrode extension direction (the channel width direction).

[0024] Drawing 5 (b) Gate oxide 14 is formed on the transistor field 12 which subsequently includes the inside of said V character-like slot 19 like said example 3

**. Subsequently, n+ which has predetermined width of face (gate length LG1) in accordance with the train of the V character-like slot 19 on the triangular waveform-like side in which it usually passes and said two or more V character-like slots 19 are formed through the process of vapor growth and patterning. The mold Pori Si gate electrode 15 is formed. Here, the base of the gate electrode 15 is accompanied and formed in a triangular waveform-like side through gate oxide 14 like illustration.

[0025] Drawing 5 (c) 3 **, like said example, the gate electrode 15 is used as a mask, the ion implantation of the arsenic (As) is carried out with a slanting impregnation means, rotating a substrate in the transistor field 12, the 12th page of the transistor field which includes said triangular waveform-like side to this transistor field 12 is met, and, subsequently it is n+ of the predetermined depth. Mold source field 16S And n+ which is not illustrated Mold drain field 16D It forms. The lower part of the gate electrode 15 becomes the channel field 17 which has a triangular waveform-like side here.

[0026] And although not illustrated henceforth, the high drive capacity MOS transistor in which the top face concerning this invention has the 17th page of a triangular waveform-like channel field is completed through the same process as said example.

[0027] in addition, the configuration whose above-mentioned top face has a triangular waveform-like channel field -- setting -- the width of face and spacing of a V character-like slot -- for example, about 1 micrometer and the depth it forms in 0.7-micrometer (about 1 micrometer of oblique side length) extent -- having -- the depth of the source and a drain field -- for example, -- It is formed in about 0.3 micrometers. Therefore, it compares with the former and the channel width in one pitch which consists of a V character-like slot and its spacing section in the MOS transistor of this structure is abbreviation. It increases 1.5 times and is the abbreviation of the MOS transistor conventional in the same monopoly area. The drive capacity to be 1.5 times many as this is acquired.

[0028] In addition, the wave configuration on the top face of a channel field concerning this invention is not restricted the above-mentioned square wave configuration and in the shape of a triangular waveform, and the effectiveness which heightens drive capacity similarly by the shape of a curved-surface wave, such as a sinusoidal configuration, is acquired.

[0029]

[Effect of the Invention] According to this invention, the drive capacity can be sharply expanded like explanation above, without expanding the monopoly area of an MOS transistor.

[0030] Therefore, the place of this invention which contributes to multifunctional high integration of an MOS mold semiconductor integrated circuit is large.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The important section sectional view for principle explanation of this invention

[Drawing 2] The production process top view concerning one example of this invention

[Drawing 3] The production process A-A view sectional view concerning one example of this invention

[Drawing 4] The production process B-B view sectional view concerning one example of this invention

[Drawing 5] The production process sectional view concerning other examples of this invention

[Drawing 6] The mimetic diagram of the conventional MOS transistor

[Drawing 7] Gate structural drawing which heightens the drive capacity of the conventional MOS transistor

[Description of Notations]

1 Semi-conductor Substrate

2 Transistor Field

3 Field Oxide

4 Gate Oxide

5 and 5' gate electrode

6 Source or Drain Field

7 Channel Field

8 Rectangle-like Slot

9 V Character-like Slot

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75121

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 0 1 L 29/ 78

3 0 1 V

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号

特願平3-237503

(22)出願日

平成3年(1991)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 関戸 裕治

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72)発明者 宝本 敏治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

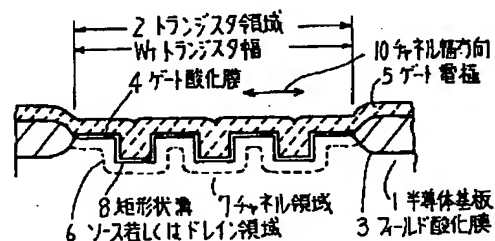
(54)【発明の名称】 半導体装置

(57)【要約】

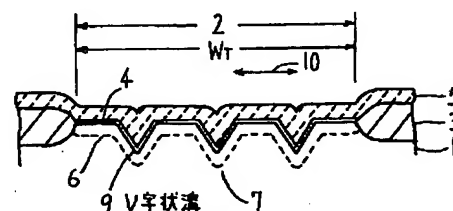
【目的】 半導体装置の構造、特にMOSトランジスタのチャネル領域の構造に関し、トランジスタ領域の拡大を伴わずに駆動能力を増大させる構造の提供を目的とする。

【構成】 半導体基板1と、該半導体基板1面にチャネル領域7を隔てて形成されたソース領域6とドレイン領域、及び該チャネル領域7上にゲート絶縁膜4を介して設けられたゲート電極5を有し、該チャネル領域7の上面が、チャネル長方向に延在する凹部と凸部を交互に有するチャネル幅方向10に沿った矩形波形状又は三角波形状等の波形形状を有し、該波形形状のチャネル領域7上に、均一な厚さのゲート絶縁膜4を介し、底面が該波形形状のチャネル領域7面に添いチャネル幅10の方向に延在するゲート電極5が配設された構成を有する。

本発明の原理説明用の要部断面図



(a) 本発明に係る一構造



(b) 本発明に係る他の構造

(2)

【特許請求の範囲】

【請求項1】 半導体基板と、該半導体基板面にチャンネル領域を隔てて形成されたソース領域とドレイン領域、及び該チャンネル領域上にゲート絶縁膜を介して設けられたゲート電極を有し、

該チャンネル領域の上面が、チャンネル長方向に延在する凹部と凸部を交互に有するチャンネル幅方向に沿った波形形状を有し、

該波形形状のチャンネル領域上に、均一な厚さのゲート絶縁膜を介し、底面が該波形形状のチャンネル領域面に添いチャンネル幅の方向に延在するゲート電極が配設されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の構造、特にMOSトランジスタのチャンネル領域の構造に関する。

【0002】近時、MOS型半導体集積回路の高集積化に伴い、これを構成するMOSトランジスタは大幅に縮小されてきている。一方、半導体集積回路の多機能化に伴って、MOSトランジスタの駆動能力の向上が望まれている。そこで、素子面積が小さく、且つ駆動能力の大きいMOSトランジスタの必要性が高まっている。

【0003】

【従来の技術】図6は従来のMOSトランジスタの模式図で、(a)は平面図、(b)はA-A矢視断面図、(c)はB-B矢視断面図である。

【0004】図において、51はシリコン(Si)基板、52はトランジスタ領域、53はフィールド酸化膜、54はゲート酸化膜、55はゲート電極、56Sはソース領域、56Dはドレイン領域、57はチャンネル領域、61は層間絶縁膜、62S、62Dはコンタクト窓、63Sはソース配線、63Dはドレイン配線、 W_T はトランジスタ幅、 W_C は実効チャンネル幅、 L_G はゲート長を示す。

【0005】この図に示すように従来のMOSトランジスタは、チャンネル領域57面は平面状を有し、ゲート電極55も直線状に形成されていた。従って、前述のように高集積化によりトランジスタが縮小され、トランジスタ幅 W_T (実効チャンネル幅 W_C)が縮小された際には、トランジスタの駆動電流が減少し、抵抗の低い外部負荷を駆動することが困難になる。

【0006】そこで従来は、MOSトランジスタの駆動能力を高めるために、図7の模式平面図に示すように、(a)のチャンネル幅拡大構造(実効チャンネル幅 $W_C = W_{C1} + W_{C2}$ となる)、(b)のゲート屈曲構造(実効チャンネル幅は $W_C \approx W_{C1} + W_{C2} + W_{C3} + W_{C4}$ に近づく)、(c)の並列ゲート構造(ゲートGに挟まれた領域を例えばソース領域Sとし、ゲートGの両外側領域をドレイン領域Dとし、実効チャンネル幅は $W_C = W_{C1} \times 2$ となる)等が用いられていた。

【0007】

2

【発明が解決しようとする課題】しかし、(a)のチャンネル幅拡大構造ではチャンネル幅 W_C 方向のトランジスタ領域の幅 W_{T1} が大きくなり、(b)のゲート屈曲構造においてはゲート長 L_G 方向のトランジスタ領域の幅 W_{T2} が大きくなり、また(c)の並列ゲート構造においてもゲート長 L_G 方向のトランジスタ領域の幅 W_{T2} が大きくなって、上記何れの構造を用いた際にもトランジスタ領域が拡大して、集積度の向上が妨げられるという問題があった。

【0008】そこで本発明はトランジスタ領域の拡大を伴わずに駆動能力の増大が図れるMOSトランジスタの構造を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題の解決は、半導体基板と、該半導体基板面にチャンネル領域を隔てて形成されたソース領域とドレイン領域、及び該チャンネル領域上にゲート絶縁膜を介して設けられたゲート電極を有し、該チャンネル領域の上面が、チャンネル長方向に延在する凹部と凸部を交互に有するチャンネル幅方向に沿った矩形波形状又は三角波形状等の波形形状を有し、該波形形状のチャンネル領域上に、均一な厚さのゲート絶縁膜を介し、底面が該波形形状のチャンネル領域面に添いチャンネル幅の方向に延在するゲート電極が配設されている本発明による半導体装置により達成される。

【0010】

【作用】図1は本発明の原理説明用の要部断面図で、図中、1は半導体基板、2はトランジスタ領域、3はフィールド酸化膜、4はゲート酸化膜、5はゲート電極、6は当該断面の奥にあるソース若しくはドレイン領域、7はチャンネル領域、8は矩形形状溝、9はV字状溝、10はチャンネル幅方向(ゲート電極延在方向)、 W_T はトランジスタ幅を示す。

【0011】本発明に係るMOSトランジスタの一構造(a)においては、ゲート電極5下部のチャンネル領域7に、チャンネル幅方向10(ゲート電極5の延在方向)に直交する複数本の矩形形状溝8が設けられて、チャンネル領域7がチャンネル幅方向10に沿った矩形波形状面に形成され、この矩形波形状を有するチャンネル領域7面に均一な厚さのゲート酸化膜4が形成され、このチャンネル領域7上に前記ゲート酸化膜4を介し、底面が矩形波形状のチャンネル領域7面に添うゲート電極5がチャンネル幅方向10に沿って延在配設される。

【0012】この構造においては、同一トランジスタ幅 W_T を有するMOSトランジスタにおいて、実効チャンネル幅 W_C' が、チャンネル領域が平面状を有し且つゲート電極が直線状に配設される従来構造のチャンネル幅 W_C に比べて、1式に示すように増大する。

【0013】

$$W_C' = W_C + 2D_1 \times n \quad \dots\dots (1)$$

50 D_1 は矩形形状溝の深さ、 n は矩形形状溝の本数

(3)

そして、矩形状溝8の幅と、矩形状溝8の深さとを等しくとれば、実効チャネル幅 W_C' は従来構造の実効チャネル幅 W_C の約2倍になる。

【0014】また本発明に係るMOSトランジスタの他の構造においては、チャネル領域7に、ゲート電極5の延在方向に直交する複数本のV字状溝9が設けられて、チャネル領域7がチャネル幅方向10に沿った三角波形状面に形成され、この三角波形状を有するチャネル領域7面に均一な厚さのゲート酸化膜4が形成され、このチャネル領域7上に前記ゲート酸化膜4を介し、底面が三角波形状を有するチャネル領域7面に添うゲート電極5がチャネル幅方向10に沿って延在配設される。

【0015】この構造においては、実効チャネル幅 W_C'' が、前記従来構造の実効チャネル幅 W_C に比べて、2式に示すように増大する。

$$W_C'' = W_C + (2B-A) \times n \quad \dots (2)$$

AはV字状溝の幅、BはV字状溝の一辺の長さ
そしてこの方法でも、従来の実効チャネル幅 W_C の1.5倍以上の実効チャネル幅 W_C'' を容易に得ることができる。

【0016】従って、本発明によればトランジスタ幅をチャネル幅方向及びチャネル長方向の何れへも拡大せず大幅な実効チャネル幅の拡大を図ることができる。

【0017】

【実施例】以下本発明を、製造方法に従って具体的に説明する。図2は本発明の一実施例に係る製造工程平面図、図3は同じく一実施例に係る製造工程A-A矢視断面図、図4は同じく一実施例に係る製造工程B-B矢視断面図、図5は本発明の他の実施例に係る製造工程断面図である。全図を通じ同一対象物は同一符号で示す。

【0018】図2(a)、図3(a)、図4(a)参照

本発明に係る矩形波形状チャネル領域面を有する高駆動能力MOSトランジスタを形成するに際しては、例えばp型Si基板11上に周知の方法でトランジスタ領域12を画定するフィールド酸化膜13を形成した後、周知のエッチング手段に異方性ドライエッチング技術を用いるフォトリソグラフィ手段により、前記トランジスタ領域12のゲート電極が配設される領域に、ゲート電極の延在方向に直交する向きにゲート長(チャネル長)に位置合わせ余裕を見込んだ長さ L_1 を有し、且つチャネル幅方向に W_1 の幅を有する深さ D_1 の複数本の矩形状溝18を例えば溝幅 W_1 と等しい P_1 の間隔で形成する。ここで、ゲート電極配設面はゲート電極延在方向(チャネル幅方向)に沿った矩形波形状面になる。

【0019】図2(b)、図3(b)、図4(b)参照

次いで、通常通り前記矩形状溝18の内面を含むトランジスタ領域12上に熱酸化によりゲート酸化膜14を形成し、次いで通常通り気相成長、パターニングの工程を経て、前記複数の矩形状溝18の形成されている矩形波形状面上に矩形状溝18の列に沿って、所定の幅(ゲート長 L_{G1})

4

を有する例えば n^+ 型ポリSiゲート電極15を形成する。ここで、ゲート電極15の底面は図示のように、ゲート酸化膜14を介し矩形波形状面に添って形成される。

【0020】図2(c)、図3(c)、図4(c)参照

次いで、上記ゲート電極15をマスクにしトランジスタ領域12内に、基板を回転しながら斜め注入手段により砒素(As)をイオン注入し、このトランジスタ領域12に前記矩形波形状面を含むトランジスタ領域面に沿って所定の深さの n^+ 型ソース領域16S及び n^+ 型ドレイン領域16Dを形成する。ここで、ゲート電極15の下部は矩形波形状面を有するチャネル領域17になる。

【0021】図2(d)、図3(d)、図4(d)参照

以後、通常通り、上記基板上に層間絶縁膜21を形成し、この層間絶縁膜21にソース領域16Sを表出するコンタクト窓22Sとドレイン領域16Dを表出するコンタクト窓22Dを形成し、それぞれのコンタクト窓上にAl等からなるソース配線23Sとドレイン配線23Dを形成し、本発明に係る上面が矩形波形状のチャネル領域17を有する高駆動能力MOSトランジスタは完成する。

【0022】なお、上記矩形波形状チャネル領域を有する構成において、矩形状溝の幅、深さ及び間隔は例えば $1\mu\text{m}$ 程度に形成され、ソース及びドレイン領域の深さは例えば $0.3\mu\text{m}$ 程度に形成される。従ってこの構造を有するMOSトランジスタにおいては、矩形状溝とその間隔部からなる1ピッチにおけるチャネル幅は従来に比べ約2倍になり、同一専有面積で従来のMOSトランジスタの約2倍の駆動能力が得られる。

【0023】図5(a)参照

また、本発明に係る三角波形状チャネル領域面を有する高駆動能力MOSトランジスタを形成するに際しては、100面を有する例えばp型Si基板11上に周知の方法でトランジスタ領域12を画定するフィールド酸化膜13を形成した後、通常のプロセスにより、前記矩形状溝の配設領域に対応する領域に例えば前記矩形状溝に対応する長さ(L_1)、幅 W_1 、間隔 P_1 で複数の開孔24を有するレジスト膜25を形成し、このレジスト膜25をマスクとし、水酸化カリウム(KOH)溶液による異方性のウェットエッチングを行い、前記矩形状溝形成領域に対応する領域に、チャネル幅方向に直交し、例えば前記矩形状溝と同様の長さ L_1 (図示されず)及び幅 W_1 を有しエッチング角度で決定される所定の深さ D_2 を有する複数本のV字状溝19を前記矩形状溝と同様な間隔 P_1 で形成する。ここで、ゲート電極配設面はゲート電極延在方向(チャネル幅方向)に沿った三角波形状面になる。

【0024】図5(b)参照

次いで、前記実施例同様に前記V字状溝19の内面を含むトランジスタ領域12上にゲート酸化膜14を形成し、次いで通常通り気相成長、パターニングの工程を経て、前記複数のV字状溝19の形成されている三角波形状面上にV字状溝19の列に沿って、所定の幅(ゲート長 L_{G1})を有

(4)

5

する例えば n^+ 型ポリSiゲート電極15を形成する。ここで、ゲート電極15の底面は図示のように、ゲート酸化膜14を介し三角波形状面に添って形成される。

【0025】図5(c)参照

次いで前記実施例同様に、ゲート電極15をマスクにシトランジスタ領域12内に、基板を回転しながら斜め注入手段により砒素(As)をイオン注入し、このトランジスタ領域12に前記三角波形状面を含むトランジスタ領域12面に沿って所定の深さの n^+ 型ソース領域16S及び図示されない n^+ 型ドレイン領域16Dを形成する。ここでゲート電極15の下部は三角波形状面を有するチャネル領域17になる。

【0026】そして以後、図示しないが、前記実施例同様の工程を経て、本発明に係る上面が三角波形状のチャネル領域17面を有する高駆動能力MOSトランジスタが完成する。

【0027】なお、上記上面が三角波形状チャネル領域を有する構成において、V字状溝の幅及び間隔は例えば $1\mu\text{m}$ 程度、深さ $0.7\mu\text{m}$ (斜辺長約 $1\mu\text{m}$)程度に形成され、ソース及びドレイン領域の深さは例えば $0.3\mu\text{m}$ 程度に形成される。従って、この構造のMOSトランジスタにおいては、V字状溝とその間隔部からなる1ピッチにおけるチャネル幅は従来に比べ約1.5倍になり、同一専有面積で従来のMOSトランジスタの約1.5倍の駆動能力が得られる。

【0028】なお本発明に係るチャネル領域上面の波形形状は、上記矩形波形状、三角波形状に限られるものではなく、正弦波形状等の曲面波形状でも同様に駆動能力

6

を高める効果が得られる。

【0029】

【発明の効果】以上説明のように本発明によれば、MOSトランジスタの専有面積を拡大せずにその駆動能力を大幅に拡大することができる。

【0030】従って本発明は、MOS型半導体集積回路の多機能高集積化に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明用の要部断面図

【図2】 本発明の一実施例に係る製造工程平面図

【図3】 本発明の一実施例に係る製造工程A-A矢視断面図

【図4】 本発明の一実施例に係る製造工程B-B矢視断面図

【図5】 本発明の他の実施例に係る製造工程断面図

【図6】 従来のMOSトランジスタの模式図

【図7】 従来のMOSトランジスタの駆動能力を高めるゲート構造図

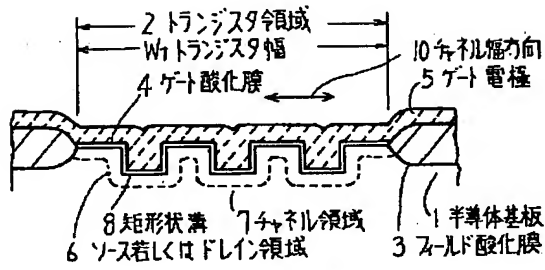
【符号の説明】

- 1 半導体基板
- 2 トランジスタ領域
- 3 フィールド酸化膜
- 4 ゲート酸化膜
- 5、5' ゲート電極
- 6 ソース若しくはドレイン領域
- 7 チャネル領域
- 8 矩形状溝
- 9 V字状溝

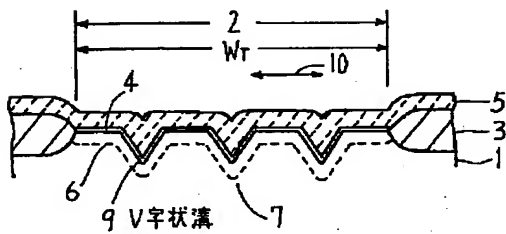
(5)

【図1】

本発明の原理説明用の要部断面図



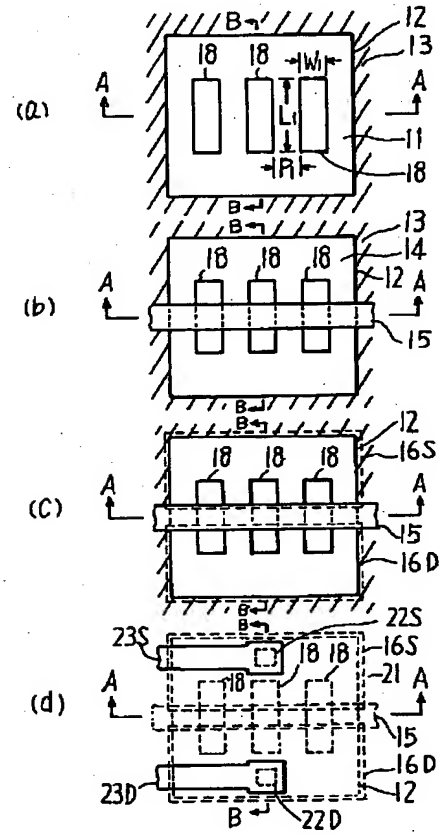
(a) 本発明に係る一構造



(b) 本発明に係る他の構造

【図2】

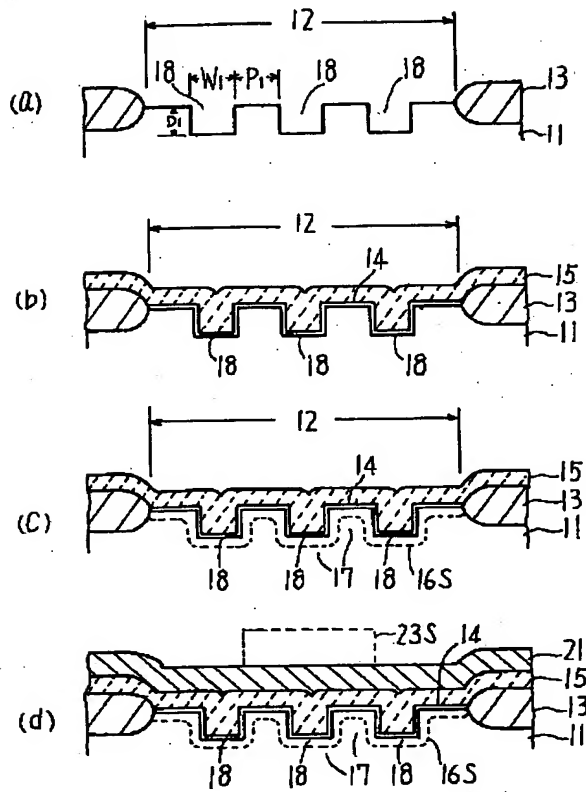
本発明の一実施例に係る製造工程平面図



(6)

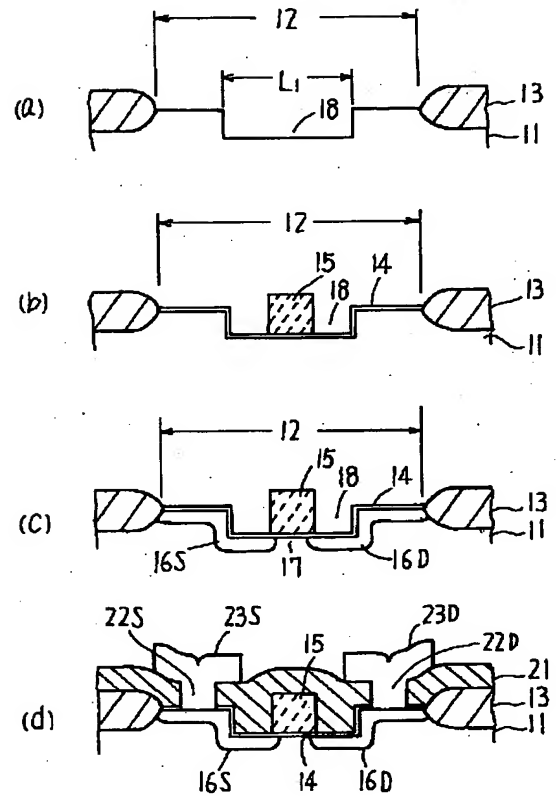
【図3】

本発明の一実施例に係る製造工程 A-A 矢視断面図



【図4】

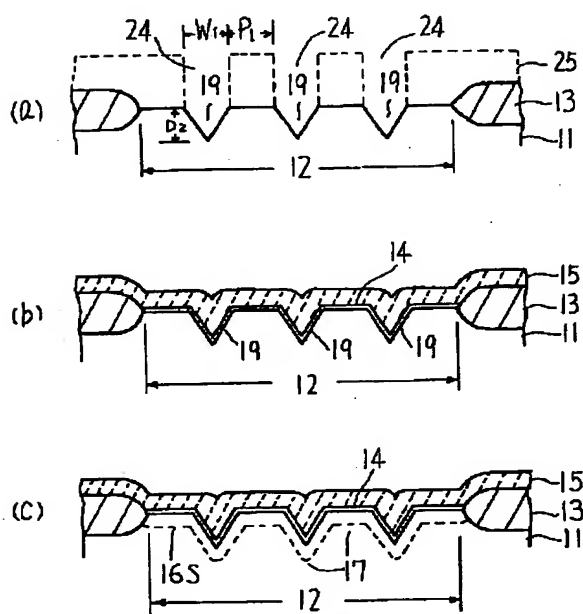
本発明の一実施例に係る製造工程 B-B 矢視断面図



(7)

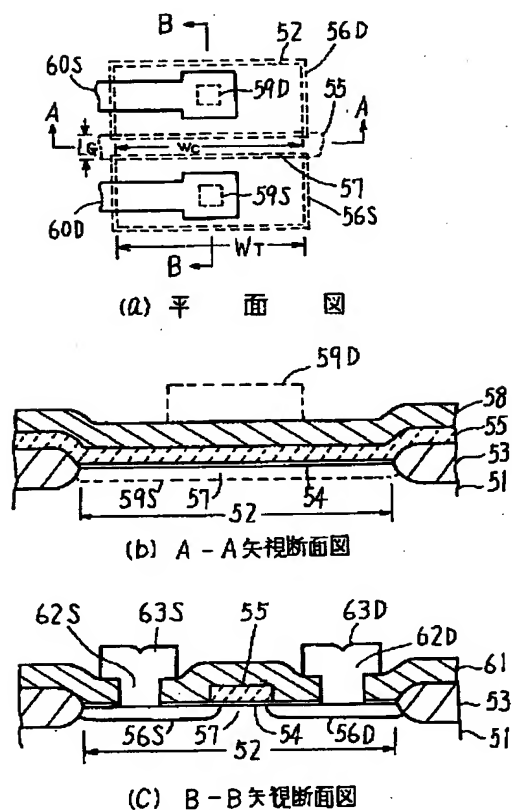
【図5】

本発明の他の実施例に係る製造工程断面図



【図6】

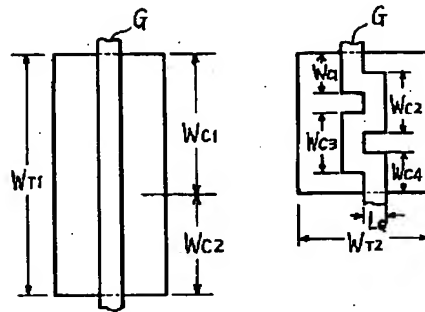
従来のMOSトランジスタの模式図



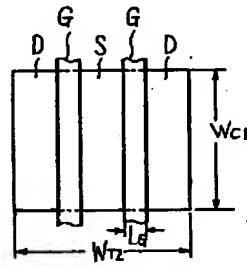
(8)

【図7】

従来のMOSトランジスタの駆動能力を高めるゲート構造図



(a) チャンネル幅拡大構造 (b) ゲート屈曲構造



(c) 並列ゲート構造